



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07142636

(43)Date of publication of application: 02.06.1995

(51)Int.Cl.

H01L 23/12
H01L 21/60
H01L 23/08

(21)Application number: 05292143

(71)Applicant:

HITACHI LTD

(22)Date of filing: 22.11.1993

(72)Inventor:

ARIMA HIDEO

TAKEDA KENJI

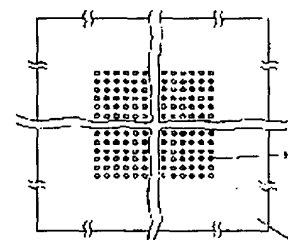
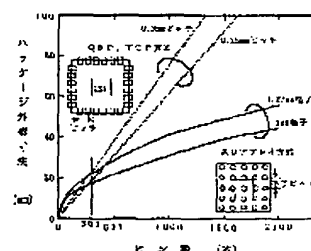
YAMAMURA HIDEO

(54) SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to make a semiconductor device correspond to a high-speed operation by a method wherein 1000 terminals for mounting substrate connection are arranged on the whole back side surface of a package board less than a specified size into an area array type and an internal wiring to connect terminals for LSI connection with the terminals for mounting substrate connection by a specified combination is provided on the surface side surface of the package board.

CONSTITUTION: A package board 2 is a 14-layer circuit board, which has insulating layers made of alumina ceramic and a wiring made of tungsten, and the external shape of the board 2 is formed in a 34-mm square (less than a 41-mm square). Terminals 10 for mounting substrate connection are provided on the whole rear of the board 2. The arrangement of the terminals 10 is made in an area array system of 32 rows \times 32 columns and a lattice pitch of 1.0mm. The wiring to connect terminals 9 for LSI chip connection with the terminals 10 is formed in the interior of the board 2. The width of a signal wiring is formed in 0.1mm, the shortest wiring length, the longest wiring length and the mean wiring length of the signal wiring within a package 1 are respectively formed in 4.5mm, 26mm and 22mm to decrease a delay of the wiring part and a frequency of 200MHz can be made possible.



LEGAL STATUS

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 4 2 6 3 6

(43) 公開日 平成 7 年 (1995) 6 月 2 日

(51) Int. Cl. ⁶		識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L		23/12			
		21/60	3 1 1 S	6918 - 4 M	
		23/08	D		
				H O 1 L	23/12 N
審査請求		未請求	請求項の数 7	○ L	(全 1 0 頁)
(21) 出願番号	特願平 5 - 292143				
(22) 出願日	平成 5 年 (1993) 11 月 22 日				
(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地				
(72) 発明者	有馬 英夫 神奈川県横浜市戸塚区吉田町 292 番地 株 式会社日立製作所生産技術研究所内				
(72) 発明者	武田 健二 神奈川県横浜市戸塚区吉田町 292 番地 株 式会社日立製作所生産技術研究所内				
(72) 発明者	山村 英穂 神奈川県横浜市戸塚区吉田町 292 番地 株 式会社日立製作所生産技術研究所内				
(74) 代理人	弁理士 富田 和子				

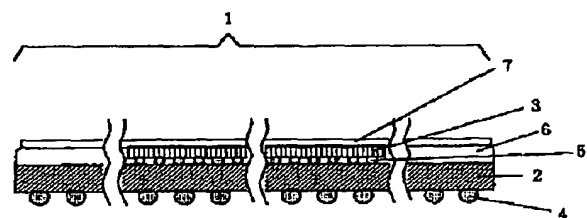
(54) 【発明の名称】 半導体パッケージおよび半導体デバイス

(57) 【要約】

【目的】 高速動作の半導体素子に対応可能なパッケージを提供することを目的とする。

【構成】 動作周波数が 200MHz 以上、端子数 1000 本以上の LSI を納めて、実装基板に実装するための半導体パッケージにおいて、41mm 角以下のパッケージ基板と、上記パッケージ基板の裏側面全体にエリアアレイ状に、または、上記パッケージ基板の裏側面の外周部に 5 列以上の千鳥格子状に、配置された、少なくとも 1000 本の実装基板接続用端子と、上記パッケージ基板の表側面に、上記 LSI の端子に対応して配置された LSI 接続用端子と、上記実装基板接続用端子と、上記 LSI 接続用端子とを、特定の組合せでつないだ内部配線と、を備える。

図 2



【特許請求の範囲】

【請求項1】動作周波数が200MHz以上、端子数1000本以上のLSIを納めて、実装基板に実装するための半導体パッケージにおいて、

41mm角以下のパッケージ基板と、

上記パッケージ基板の裏側面全体に、エリアアレイ状に配置された、少なくとも1000本の実装基板接続用端子と、

上記パッケージ基板の表側面に、上記LSIの端子に対応して配置されたLSI接続用端子と、

上記実装基板接続用端子と、上記LSI接続用端子と

を、特定の組合せでつないだ内部配線と、

を備えたことを特徴とする半導体パッケージ。

【請求項2】上記実装基板接続用端子および/または上記LSI接続用端子は、上記内部配線とは異なる層位置に設けられていること、

を特徴とする請求項1記載の半導体パッケージ。

【請求項3】上記内部配線は、タングステンを含んで構成されたものであり、その線幅が0.1mm以下、断面積が0.0033mm²以上であること、

を特徴とする請求項2記載の半導体パッケージ。

【請求項4】上記内部配線は、銅を含んで構成されたものであり、その線幅が0.1mm以下、断面積が0.0033mm²以上であること、

を特徴とする請求項2記載の半導体パッケージ。

【請求項5】上記パッケージ基板は、セラミックス製の多層基板、または、セラミックス製の多層基板の上に有機樹脂薄膜回路を形成した混成回路基板、であること、を特徴とする請求項3または4記載の半導体パッケージ。

【請求項6】動作周波数が200MHz以上のLSIチップと、

上記LSIチップを搭載する半導体パッケージと、を含んで構成され、

上記半導体パッケージは、

41mm角以下のパッケージ基板と、

パッケージ基板の裏側面全体からエリアアレイ状に配置された、少なくとも1000本の実装基板接続用端子と、

上記パッケージ基板に、上記LSIチップの端子に対応して配置され、上記LSIチップの端子と接続されたLSI接続用端子と、

上記パッケージ基板内部に設けられ、上記実装基板接続用端子と、上記LSI接続用端子とを、特定の組合せでつないだ内部配線と、を含み、

上記LSIチップは、上記半導体パッケージにフェースダウン状態で搭載されていること、

を特徴とする半導体デバイス。

【請求項7】上記LSIチップと、上記パッケージ基板との間の少なくとも一部には、線膨張率10ppm/K

以上、20ppm/K以下の樹脂が充填されていること、

を特徴とする請求項6記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速動作する半導体素子に対応可能な半導体パッケージ、およびこれを用いた半導体デバイスに関する。

【0002】

10 【従来の技術】シリコン等の基板上に多数の半導体回路を形成して構成されたLSI（例えば、MPU、各種メモリ等）は、回路がその表面上に剥き出しの状態となっており、外部環境の影響を受けやすい。また、LSIのチップ自体は、あまりに小さいため、これをそのままの状態では、各種実装基盤に搭載することは製造工程上、却って面倒になる。そのため、LSI（チップ）は、なんらかのパッケージに納められた上で、実装基板等に搭載される。しかし、該パッケージは、どのようなものでも良いという分けではなく、集積回路の性能を最大限引きだすことが出来るようなものでなければならない。

20 【0003】現在使用されている、半導体パッケージには、PGA（Pin Grid Array）、QFP（Quad Flat Package）、TCP（Tape Carrier Package）等があり、納める集積回路の種類や用途によって使い分けられている。PGAは、ピン数が多い場合に使用されることが多い。QFPは、樹脂モールドによって作られるため、製造コストが安価であるという特徴がある。TCPは、極めて薄いという特徴を有する。

30 【0004】このような半導体用パッケージの技術に関しては、例えば、Rao R. Tummala, Eugene J. Rymaszewski編: Microelectronics Packaging Handbook: Van Nostrand Reinhold 出版(1989)、特にページ409~424に記載されている。

【0005】

【発明が解決しようとする課題】ところで、コンピュータシステムの性能（ここでは、処理速度、処理容量）を、決定的に左右するは、これに用いられているMPU（Micro Processing Unit）の処理速度である。そのため、現在、各種LSIの中でも特にMPUの高速化が極めて精力的に図られている。従って、これに対応して、MPUを納めるためのパッケージにも、特に高速化への対応が特に要求されることとなっている。

50 【0006】MPUは、既に、動作周波数が200MHz、ピン数431本に達するものが開発されており、将来的にはさらに高速化が進むと思われる。従って、パッケージの側も、200MHzのような高速動作に対応で

きるものが必要な状況になっている。高速のMPUを納めるパッケージとしては、現在はPGAタイプが主に使用されているが、これ以上の高速化に対応するためには、十分とは言えなかった。

【0007】高速化への対応は、MPU単体での高速動作に対応できるというだけではなく、当該MPUを用いたシステム全体での処理の高速化も図られるものでなければ意味がない。つまり、MPU自体は高速で動作するが、使用できるメモリー容量が従来の1/2であったり、隣のパッケージに納められているメモリを動作させる場合には動作速度が大幅に低下したりするのでは、真に高速化へ対応したことにはならない。

【0008】また、このような高速MPUは、開発費も莫大であるため、相当量が生産使用されなければ、開発費を回収することができない。そのためには、パッケージも、信頼性が高く、低コストである必要がある。

【0009】しかし、このような要求を満足するパッケージは従来品にはなかった。

【0010】ここでは、MPUを例にとって説明したが、同様にメモリー、ASIC、ゲートアレー等についても事情は同様である。

【0011】本発明は、動作周波数200MHz以上の高速動作に対応するとともに、システム全体での性能低下を招くこともなく、さらに、汎用性に富み、信頼性が高く、低コストの半導体パッケージおよびこれを用いた半導体デバイスを提供することを目的とする。

【0012】なお、本明細書中、半導体パッケージのことを単に、パッケージという場合がある。

【0013】

【課題を解決するための手段】本発明は上記目的を達成するためになされたもので、その一態様としては、動作周波数が200MHz以上、端子数1000本以上のLSIを納めて、実装基板に実装するための半導体パッケージにおいて、41mm角以下のパッケージ基板と、上記パッケージ基板の裏側面全体にエリアアレイ状に配置された、少なくとも1000本の実装基板接続用端子と、上記パッケージ基板の表側面に、上記LSIの端子に対応して配置されたLSI接続用端子と、上記実装基板接続用端子と、上記LSI接続用端子とを、特定の組合せでつないだ内部配線と、を備えたことを特徴とする半導体パッケージが提供される。

【0014】上記実装基板接続用端子および/または上記LSI接続用端子は、上記内部配線とは異なる層位置に設けられていることが好ましい。

【0015】上記内部配線は、タングステンを含んで構成されたものであり、その線幅が0.1mm以下、断面積が0.0033mm²以上であつてもよい。

【0016】上記内部配線は、銅を含んで構成されたものであり、その線幅が0.1mm以下、断面積が0.0033mm²以上であつてもよい。

【0017】上記パッケージ基板は、セラミックス製の多層基板、または、セラミックス製の多層基板の上に有機樹脂薄膜回路を形成した混成回路基板、であることが好ましい。

【0018】本発明の第2の態様としては、動作周波数が200MHz以上のLSIチップと、上記LSIチップを搭載する半導体パッケージと、を含んで構成され、上記半導体パッケージは、41mm角以下のパッケージ基板と、パッケージ基板の裏側面全体からエリアアレイ状に配置された、少なくとも1000本の実装基板接続用端子と、上記パッケージ基板に、上記LSIチップの端子に対応して配置され、上記LSIチップの端子と接続されたLSI接続用端子と、上記パッケージ基板内部に設けられ、上記実装基板接続用端子と、上記LSI接続用端子とを、特定の組合せでつないだ内部配線と、を含み、上記LSIチップは、上記半導体パッケージにフェースダウン状態で搭載されていること、を特徴とする半導体デバイスが提供される。

【0019】上記LSIチップと、上記パッケージ基板との間の少なくとも一部には、線膨張率10ppm/K以上、20ppm/K以下の樹脂が設けられていることが好ましい。

【0020】

【作用】本願発明者は、動作周波数200MHz以上に対応する上で、パッケージに必要な条件を様々な角度から検討することによって、本発明を完成させた。従って、ここでは、本発明の構成の作用を該検討の内容とともに説明する。

【0021】最初に、パッケージの大きさについて検討する。

【0022】MPUを用いる一般的なシステム構成はMPUとメモリーから成るものである。ここでは、MPUやメモリー等のLSIを納めるパッケージの外形をそれぞれ一辺長Lの正方形とし、また、半導体回路の形成されたシリコン等のチップ（LSIチップ）の外形を、それぞれ一辺長pmmの正方形とする。さらに、これらを納めたパッケージは、パッケージとパッケージとの間に隙間を残すことなく、基板上に実装できるものとする。

【0023】LSIは、通常、パッケージの中央に搭載されるため、隣接したパッケージに搭載されているLSI間の距離は、最短で約(L-p)mm、最長は約(4L-p)mmである。通常、配線距離ができるだけ短くなるようにLSIチップの端子位置や向きを設計するため、配線長の平均は、経験的に見て、約(2L-p)mmである。このうち、パッケージ基板内の配線長は約(L-p)mm、パッケージが搭載される基板（以下“実装基板”という）内の配線長は約(L)mmである。

【0024】また、ある配線を伝わる電気信号の速度は下記数1で示される。

【0025】

【数1】電気信号速度 = (光速) / $\sqrt{\text{比誘電率}}$

該数1中の比誘電率とは、当該配線が設けられているパッケージや基板の材料についてのものである。例えば、プリント基板は比誘電率が約3.5であるため、電気信号は、該プリント基板に設けられた配線を、160mm/nsの速度で伝わる。パッケージ用の基板として多様されるアルミナは比誘電率が約9であるため、電気信号は該アルミナ基板に設けられた配線を、100mm/nsの速度で伝わる。

【0026】従って、パッケージ基板としてアルミナを用いた場合、該アルミナ基板内における信号伝送時間の平均は $((L-p)/100)$ ns となる。また、実装基板としてプリント基板を用いた場合、該プリント基板内での信号伝送時間の平均は $(L/160)$ ns となる。さらに、信号は、1マシンサイクル内で、隣のLSIに行きその結果が戻ってこれなければならない。従って、配線部分についてそれに要する時間T（つまり、配線部分での遅延時間）は、数2に示したとおりとなる。

【0027】

【数2】

$$T = 2 \cdot ((L-p)/100 + L/160) \text{ ns}$$
 ところで、動作周波数200MHzでは、1マシンサイクルが5nsになるが、この内LSIチップ内での遅延と、LSIチップ外部の配線部分における遅延と、の分配を、従来からの平均である4対1とすると、配線部分での遅延は1ns以下でなければならない。

【0028】また、今後必要となる1000ピン（注：該1000本の根拠については、後ほど議論する。）を実現するためには、LSIチップの大きさは、約14～18mm角に達すると考えられる。ここでは、その平均である16mmをpの値として採用する。

【0029】これらの条件と、上記数2とを考えあわせると、Lは41mm以下でなければならないという結果が導きだされる。つまり、パッケージの外形が41mm以下であることが、動作速度200MHzを可能にする上での1つの必要条件となる。但し、該条件は、パッケージ基板、実装基板として、より比誘電率の低い材料を用いれば、若干緩和される。

【0030】次にパッケージのピン数について検討する。

【0031】MPUの高速化は結果的にシステムの高速化につながる必要がある。すでに述べたとおりコンピュータシステムはMPUとその周辺のメモリー等とから構成されているため、MPUの高速化に対応してメモリーの高速化も必要である。しかし、メモリーは現時点で高速化の限界に近い状態にあり、これ以上の大幅な高速化は難しい。従って、メモリーの高速化は、今後、並列処理的な使用法を用いることによってなされと考えられる。つまり、MPUとメモリーとの間の信号配線本数を増やすことによって、MPU-メモリー間全体としての信

号授受の速度を高めることができる。この手法を用いれば、利用可能なメモリー容量を減らさずにメモリーを高速化することができるが、その一方で、パッケージの端子数の増加を招くことになる。

【0032】また、高速信号配線間のクロストークや誤動作を防止するためには、信号配線間に電源配線やグランド配線を配置することが有効であり、そのためには、信号配線の2乃至3倍の電源またはグランド端子が必要となる。

【0033】以上の結果、将来、MPUの端子数は必然的に多くなり、電源や周辺素子のコントロール等の端子も含めると約1000端子以上が必要となってくると思われる。従って、これを搭載するパッケージとしても1000本以上のピンが必要となる。

【0034】なお、上述したとおり、現時点でのパッケージの技術的上限は、端子数では500端子程度である。従って、このままではMPU単体の高速化には対応できても、システムとしては高速化できなかったり、高速化はできても処理能力が減る等の制限を受けることになる。

【0035】この他、200MHz動作の高速のMPUにおいては、制御信号数が多く、また、高速動作であるため、相当量の熱が発生する。これを抑えるために、低電圧動作等の改善を進められてはいるが、発熱量は数Wを越えることになるのは必至である。従って、高速パッケージにおいては、冷却を考慮した構成とすることも不可欠である。

【0036】以上の考察結果を総合すると、MPUのみならず、これを使ったシステム全体として、動作周波数200MHzという高速化を図るためには、1000ピン以上の端子を持ち、外形は41mm角以下、さらに、発熱量数W以上を放熱できるパッケージが必要という結論が得られた。このパッケージは、当然、高信頼度を確保しつつ低コスト化をも達成する必要がある。

【0037】次に、以上の検討結果から得られた条件を満たす具体的パッケージの詳細について説明する。

【0038】ピンピッチとパッケージ外形の関係を図1に示す。ピン数が約300本までは、QFPやTCPのごとく、ピンを側面側から出す方が、エリアレイ構造よりも、ピンピッチやパッケージ外形寸法の点で有利である。

【0039】ところが、300ピンを越えると、両者の立場は逆転する。QFPのようにパッケージ周辺からピンを出す構成では、1000本のピンを外形40mm角以内で実現しようとする、ピンピッチは0.16mm以下にまで狭めなければならない。このような狭ピッチでは、ピンが細くて曲がり易く、また全ピンを同時に確実に接続することが難しいため、現状では、まだ、0.3mmピッチのパッケージが開発されつつ段階にすぎない。これを更に0.16mmピッチにすることは、ピン

の微細加工が難しい上に、搭載に要する工数の増大、接続信頼性の低下を招くこととなり、現時点では実用的な技術とは判断しがたい。

【0040】これに対し、エリアアレイ方式で、41mm角の基板に1000本のピンを設けるには、1.27mm以下の格子ピッチでピンを形成すれば十分である。0.5mmピッチのQFPが実用化されている現状からしてその倍以上のピッチのピンを基板上に接続・搭載することは極めて容易である。また、ピンとしても太いものが適用できるため曲がりにくく且つその部分の抵抗が低いという利点もある。究極的には、はんだボールによる直接接続も可能である。従ってその接続部分の配線長も短くなり、その分、高速化に対応しやすくなる。

【0041】そこで、本発明では、ピンをパッケージ基板裏面の全面から引き出すエリアアレイ方式をとることとした。

【0042】パッケージ基板上へのLSIの搭載方法について説明する。

【0043】LSIチップをパッケージ基板に対してフェースダウンで搭載・実装する場合、LSIとパッケージ基板との電氣的接続は、TAB(TAPE AUTOMATED BONDING)やはんだボールによる方法を採用できる。LSIが発生する熱は、主としてLSI裏面から逃がすことになるが、LSI裏面には、放熱のためのヒートスプレッドや放熱フィンを接続することができるため、数W以上の発熱にも容易に対応可能である。LSIの端子とパッケージ基板との電氣的接続にワイヤーボンディング方を用いれば、フェースアップで搭載することも可能である。しかし、この場合には、LSIの発熱をパッケージ基板側に逃がすため、熱伝導性の良い基板が必要となり、コストが高くなってしまう。そのため、本発明では、LSIチップは、フェースダウン状態でパッケージに搭載することにした。

【0044】LSIの接続パッドの配置は、パッケージ基板との接続及び基板の配線密度の点で重要である。従来のように周辺一列で1000パッドを形成したLSIでは、パッドピッチは約60 μ mになる。従って、それを受ける基板はそれと同等ピッチでの配線形成が不可欠になる。現在、それは薄膜回路技術を用いなければならず、非常に高価な基板になってしまう。これを、周辺2列、3列、4列としても最短のパッドピッチは0.17mm程度である。しかし、これを5列以上にすると、最短のパッドピッチは、0.2mmよりも広くできるため、現在のプリント回路技術、厚膜回路技術、ラミネート回路形成技術で対応が可能となり、基板コストを大幅に低減することができる。さらに、LSIのパッドの配置が全面のエリアアレイであれば、パッドピッチをさらに広くすることができるため、基板形成はより容易になる。また、このようなLSIのパッド配置をとった場合、ワイヤーボンディングで基板とLSIチップとを接続

すると、ワイヤーの短絡が生じる可能性が高くなる。従って、この点からも、LSIをフェースダウン状態でパッケージに搭載することが好ましくなる。

【0045】また、上記のようなパッケージ基板とLSIとの接続の信頼性を確保するため、その接続部周辺及びLSIチップの周囲を、線膨張係数10~20ppm/Kの樹脂を充填した。この樹脂の線膨張率範囲は、実験により確認したものである。なお、詳細については、本出願人が先に出願した、特願平5-253948号に記載のとおりである。従来は、はんだと同様の25ppm/K程度が良いと言われていたが、これよりも低膨張の方が結果的には、はんだの応力が緩和され、接続寿命が改善されるという結論が得られた。

【0046】さらに、パッケージ内の配線における抵抗は、伝送信号波形を鈍らせる作用があるため、高速動作のパッケージは、極力配線抵抗を低減する必要がある。例えば、大型計算機では、LSIを搭載する基板の配線抵抗を0.6 Ω /m以下となるように設計・製造している(日立論評 Vol. 73, No. 2, P41-48(1991))。そこで、パッケージとして広い適用を考慮すると、配線抵抗として上記特性を満たすことが有利と判断される。これは、LSIの部分と、搭載基板のLSI周辺部を、LSIを搭載したパッケージに置き換える場合に、大幅な設計変更が不要となるからである。配線材料としてタングステン等の高抵抗材料を使用する場合、配線の比抵抗は実測で、約20 $\mu\Omega\cdot\text{cm}$ であり、これで0.6 Ω/cm を満足するためには、配線断面積を0.0033 mm^2 以上とする必要がある。従って、例えば、配線の幅を0.1mmとすると、厚さは33 μm 以上にしなければならない。配線材料として、銅等の低抵抗材料を使用する場合には、配線の比抵抗の実測値は、2 $\mu\Omega\cdot\text{cm}$ であり、0.6 Ω/cm を満足するためには、配線断面積を、0.00033 mm^2 以上とする必要がある。従って、例えば、配線の幅を0.1mmとすると、厚さは3.3 μm 以上にしなければならない。

【0047】パッケージ基板とLSIチップとの間の接続、また、パッケージと実装基板との接続の信頼性を確保するためには、極力、接続部の面積を広くすることが必要である。これらの接続パッドと配線とを同一層内に設けようとする、接続部の面性を大きくとることができず、信頼性が低くなる。従って、本発明では、メタル配線層を3層以上として、接続パッドを配線層とは異なる層に設けることによって、信頼性を高めた。

【0048】端子数が1000以上である場合、LSIチップの寸法は、16mm角前後になる。この場合、パッケージ基板の配線密度は、LSIのパッド配置や配線方法にも依存するが、LSIの最外周側のパッドの近傍での配線密度が最大(10配線/mm)となる。パッケージの端子パッド(またはLSI搭載パッド)を、配線

と、同一の配線層に設けた場合、接続信頼性を確保するためには、少なくとも、各パッドピッチの半分程度のパッド径が必要である。そのためには、配線は、20配線/mmで形成することが必要になる。配線幅と、配線間隔とを同じとすれば、幅25μmの配線が必要となり、これは、現在、薄膜技術を用いなければ形成できないレベルである。ところが、パッドと、配線とを、異なる層に設けるようにすれば、配線は、最大で10配線/mmで形成すれば良いことになる。この場合の配線幅は50μmでよく、製造コストの低い、厚膜技術、プリント回路技術、ラミネート回路技術で対応可能なレベルである。

【0049】端子数がさらに多い場合や、LSIの端子密度が高い場合には、上記のような低コストの製造技術では対応できず、薄膜技術が必要となる場合もある。しかし、そのような場合でも、パッドと、配線とを、異なる層に設けることによって、薄膜技術を適用して形成する層の数を少なくすることができる。つまり、セラミックス多層基板、有機樹脂薄膜回路、または、その上に薄膜回路を必要最小限適用した混成回路基板とすることができ、基板の低コスト化を図ることができる。

【0050】尚、パッケージの規格としては種々のものが提案されている。それらはパッケージ寸法とピン数とその配置に関する規格提案である。それらからパッケージ外形とピン数の関係は分かるが、どういう性能のパッケージに適用するかという点、具体的にどういう構成、製法で実現するかという点については述べていないのが実状である。

【0051】また、上記の説明では、MPUを例にとり説明したが、メモリー、ASIC、ゲートアレー等についても同様である。

【0052】

【実施例】以下、実施例により本発明を具体的に説明する。

【0053】実施例1

本実施例のパッケージ1にLSIチップを搭載した様子を模式的に示したのが図2である。

【0054】LSIチップ3は、外形が約16mm角である。該LSIチップ3は、格子ピッチ0.5mmのエリアアレイ方式に従って配置された1020本の端子を備えている。

【0055】パッケージ基板2は、絶縁層がアルミナセラミックス、配線がタングステン、で作られた14層の回路基板であり、その外形は、34mm角としている。該パッケージ基板2の表側面には、LSIチップ接続用端子9が設けられている。該LSIチップ接続用端子9の配置は、LSIチップ3の端子の配置に対応したエリアアレイ方式としている。LSI接続用端子9の表面は、ニッケル及び金の2層膜を形成してある。そして、この上に、該LSI接続用端子9と、LSIチップ3

と、の接続を行うためのはんだボール5が置かれている。はんだボール5は98wt%Pbと2wt%Snから成る高融点はんだである。

【0056】一方、パッケージ基板2の裏面(図中、下側の面)の全体には、該パッケージを搭載する実装基板(例えば、プリント基板)と接続するための実装基板接続用端子10が設けられている。該実装基板接続用端子10の配置は、32行×32列、格子ピッチ1.0mmのエリアアレイ方式としている。各々の実装基板接続用端子10の表面は、ニッケル及び金の2層膜を形成してある。そして、この上には、実装基板接続用端子10と、実装基板上の端子との接続を行うための、はんだボール4が設けられている。はんだボール4は、63wt%Sn, 37wt%Pb、から成る共晶はんだである。

【0057】該パッケージ基板2の内部には、該LSIチップ接続用端子9と、実装基板接続用端子10とを接続するための配線が形成されている。該信号配線の幅は0.1mm、断面積は0.0033mm²である。また、パッケージ1内での信号配線の最短配線長は4.5mm、最長配線長は26mm、平均長は約22mmであった。但し、本実施例では、中央部の4本の端子については、電気的な結線をしていない。

【0058】さらに、LSIチップ3とパッケージ基板2とのすき間、および、LSIチップ3の周囲は、樹脂6で充填する。LSIチップの裏面(図中、上側の面)と樹脂の上にはヒートスプレッド7を取り付けている。

【0059】本実施例のパッケージの製造方法は次の通りである。

【0060】LSIチップ3は、そのエリアアレイ状に配置したアルミ端子上にニッケル及び金の膜を形成する。この上に高融点はんだボール4を乗せ端子とする。

【0061】図3はパッケージ基板2の表側を示す図、図4はパッケージ基板2の裏側を示す図である。

【0062】予め内部配線の行われたパッケージ基板2のパッケージ接続用端子9上に、はんだボール5を載せる。そして、LSIチップをパッケージ基板2に搭載、接続する。この搭載、接続は、パッケージ基板2上にLSIチップ3を載せた状態で約350℃に加熱し、はんだボール5を溶融させることによっておこなう。

【0063】さらに、LSIチップ3とパッケージ基板2とのすき間や、LSIチップ3の周囲に、エポキシ系の注型レジンで充填し、封止樹脂6を形成する。この樹脂6の線膨張率は、17ppm/Kある。

【0064】実装基板接続用端子10に共晶はんだボール4を設ける。接続のための加熱温度は220℃である。

【0065】最後に、LSIチップ3の裏側面と封止樹脂6との上に、ヒートスプレッド7を熱伝導性の良好な接着剤で接続する。

【0066】実施例2

本実施例のパッケージにLSIチップを搭載した様子を模式的に示したのが、図5である。基本的な構成は実施例1と同一である。実施例1と異なる点は、LSIチップ3の裏側面と封止樹脂6との上に、ヒートスプレッダ7に代わって、放熱性の高い放熱フィン8を搭載した点である。

【0067】製造方法の殆どは実施例1と同一である。異なるのは最後にLSIチップ3の裏側面と封止樹脂6との上に放熱フィン8を良熱伝導性接着剤で接続する点である。

【0068】本実施例のパッケージ1内での信号配線は、実施例1と同様、最短配線長は4.5mm、最長配線長は26mm、平均長は約22mmであった。

【0069】実施例3

本実施例のパッケージにLSIチップを搭載した様子を模式的に示したのが図6である。

【0070】LSIチップ3は、約16.5mm角の大きさであり、その外周辺部には1020本の端子が5列に配置されている。各々の列中における端子ピッチは0.29mmであり、各列は、互い違いになるように千鳥格子状に端子が配置されている。最小の端子ピッチは0.20mmである。なお、端子の大きさは0.09mm角である。

【0071】パッケージ基板2について説明する。図7にパッケージ基板2の表側図を示す。裏側図は図4とほぼ同様である。パッケージ基板2の外形は41mm角であり、14層のアルミナ系多層回路基板上に2層の薄膜回路を形成して構成されている。多層回路基板は、アルミナの絶縁層とモリブデンの配線層とからできている。一方、薄膜回路は、ポリイミドの絶縁層と、銅の配線とからできている。

【0072】該パッケージ基板2の表側面には、LSIチップ接続用端子9が設けられている。該LSIチップ接続用端子9の配置は、LSIチップ3の端子の配置に対応した千鳥格子状とされている。LSI接続用端子9の表面は、ニッケル及び金の2層膜を形成してある。パッケージ基板2の該端子と、LSIチップ3の端子との接続は、金バンプ11によりなされる。

【0073】一方、パッケージ基板2の裏面（図中、下側の面）の全体には、該パッケージを搭載する実装基板（例えば、プリント基板）と接続するための実装基板接続用端子10が設けられている。該実装基板接続用端子10の配置は、32行×32列、格子ピッチ1.27mmのエリアアレイ方式としている。各々の実装基板接続用端子10の表面は、ニッケル及び金の2層膜を形成してある。そして、この上には、実装基板接続用端子10と、実装基板上の端子との接続を行うための、はんだボール4が設けられている。はんだボール4は、63wt%Snと、37wt%Pbから成る共晶はんだである。

【0074】該パッケージ基板2の内部には、該LSIチップ接続用端子9と、実装基板接続用端子10とを接続するための配線が形成されている。該信号配線の幅は、0.1mm、断面積は、0.00033mm²である。このパッケージ1内での信号配線は、最短配線長が5mm、最長配線長が32mm、平均長は約27mmである。但し、本実施例では、中央部の4本の端子については、電気的な結線をしていない。

【0075】さらに、LSIチップ3とパッケージ基板2とのすき間、LSIチップ3の周囲は、樹脂6で充填される。LSIチップの裏面（図中、上側の面）と樹脂の上には放熱フィン8を取り付けている。

【0076】製造方法は次の通りである。

【0077】LSIチップ3の周辺5列に配置された端子上に、ニッケル及び金の膜を形成する。そして、この上にワイヤボンディング法を利用して金バンプ11を形成する。

【0078】パッケージ基板2へのLSIチップ3の搭載・接続は、パッケージ基板2上にLSIチップ3を重ねて、金バンプ11を基板表面の端子9とを接触・加圧した状態で、約500℃に加熱して行われる。

【0079】続いて、LSIチップ3とパッケージ基板2とのすき間と、LSIチップ3の周囲とを、エポキシ系の注型レジンで充填し、封止樹脂6を形成する。その後、パッケージ基板2の実装基板接続用端子10に、63wt%Sn、37wt%Pbから成る共晶はんだボール4を設ける。なお、この時の加熱温度は220℃である。

【0080】最後にLSIチップ3の裏側面と、封止樹脂6との上に、放熱フィン8を熱伝導性の良い接着剤で接続する。

【0081】実施例4

本実施例のパッケージ1にLSIチップを搭載した様子を模式的に示したのが図8である。

【0082】LSIチップ3は、約16.5mm角の大きさであり、その外周辺部には1020本の端子が8列に配置されている。各々の列中における端子ピッチは0.43mmであり、各列は、互い違いになるように千鳥格子状に端子が配置されている。最小の端子ピッチは0.20mmである。なお、端子の大きさは0.09mm角である。

【0083】パッケージ基板2について説明する。パッケージ基板2は、41mm角の大きさであり、14層の高耐熱性有機多層回路上に、2層のラミネート回路を形成して構成されている。高耐熱性有機多層回路は、ポリイミドの絶縁層と、銅の配線層とからできている。一方、ラミネート回路は、ポリイミドの絶縁層と、銅の配線とからできている。

【0084】該パッケージ基板2の表側面には、LSIチップ接続用端子9が設けられている。該LSIチップ

接続用端子9の配置は、LSIチップ3の端子の配置に対応した千鳥格子状とされている。LSI接続用端子9の表面は、ニッケル及び金の2層膜を形成してある。パッケージ基板2の該端子と、LSIチップ3の端子との接続は、はんだボール5によりなされている。はんだボール5は、98wt%のSnと、2wt%のAgから成る。

【0085】一方、パッケージ基板2の裏面(図中、下側の面)の全体には、該パッケージを搭載する実装基板(例えば、プリント基板)と接続するための実装基板接続用端子10が設けられている。該実装基板接続用端子10の配置は、32行×32列、格子ピッチ1.27mmのエリアレイ方式としている。各々の実装基板接続用端子10の表面は、ニッケル及び金の2層膜を形成してある。そして、この上には、実装基板接続用端子10と、実装基板上の端子との接続を行うための、はんだボール4が設けられている。はんだボール4は63wt%Sn、37wt%Pbから成る共晶はんだである。

【0086】該パッケージ基板2の内部には、該LSIチップ接続用端子9と、実装基板接続用端子10とを接続するための配線が形成されている。該信号配線は、幅が0.1mm、断面積は0.0005mm²である。また、このパッケージ1内での信号配線は、最短配線長が3mm、最長配線長が34mm、平均長は約27mmである。但し、本実施例では、中央部の4本の端子については、電気的な結線をしていない。パッケージ内での信号配線の平均長は約27mmである。

【0087】さらに、LSIチップ3とパッケージ基板2とのすき間、LSIチップ3の周囲は、樹脂6で充填される。LSIチップの裏面(図中、上側の面)と樹脂の上には放熱スプレッド7を取り付けている。

【0088】製造方法は次の通りである。

【0089】LSIチップ3の周辺8列に配置された端子上に、ニッケル及び金の膜を形成する。そして、この上に高温はんだボール5を形成する。

【0090】パッケージ基板2へのLSIチップ3の搭載・接続は、パッケージ基板2上にLSIチップ3を重ねて、金パンプ11を基板表面の端子9とを接触させ、約2800℃に加熱して行われる。

【0091】続いて、LSIチップ3とパッケージ基板2とのすき間と、LSIチップ3の周囲とを、エポキシ系の注型レジンで充填し、封止樹脂6を形成する。封止樹脂6は、実施例1と同じものであり、その線膨張率は、17ppm/Kある。

【0092】その後、パッケージ基板2の実装基板接続用端子10に、63wt%Sn、37wt%Pbから成る共晶はんだボール4を設ける。なお、この時の加熱温度は220℃である。

【0093】最後にLSIチップ3の裏側面と、封止樹脂6との上に、放熱スプレッド7を熱伝導性の良い接着

剤で接続する。

【0094】実施例5

本実施例は、本発明のLSIチップを搭載したパッケージを含んで構成されたモジュールである。該モジュールの外観を図9に示す。

【0095】該モジュール14は、プリント基板12上に、実施例2で製造したMPU(LSIチップおよびパッケージを含む)と、樹脂モールドした高速メモリーである1MビットのSRAM13を8個を搭載した構成となっている。

【0096】各部品の搭載は全て63wt%のSnと37wt%のPbから成る共晶はんだを用いて220℃で実施した。この製造したモジュールは、メモリ機能を持つCPUボードである。プリント基板12の一端にはコネクタ挿入用の端子15が設けてある。このプリント基板12の寸法は、70mm×88mmである。

【0097】上記各実施例に示したパッケージ、モジュールに、ピン数は1020本で、200MHzで動作可能なLSIを搭載した状態で、動作確認を行った結果、クロック周波数200MHzで正常に動作することを確認した。

【0098】なお、画像処理、通信、外部メモリ制御等の機能を持つモジュールを組み合わせる小形計算機を構成することもできる。

【0099】以上説明した上記実施例によれば、以下の様な効果を得ることができる。

【0100】(1) システムやそれを構成する他の部品の性能・能力を低減することなく200MHz以上の高速動作を、実現できる。

【0101】(2) 小形・高密度化ができる。

【0102】(3) エリアレイ方式を用いたことによって、従来のQFP等と較べて、端子ピン間隔を大幅に広くとることができる。従って、プリント基板への搭載時の短絡の可能性が低く、また接続ピンも太く短くできるため、接続信頼性が高い。

【0103】(4) 上記(3)の接続しやすいという効果に起因して、その取扱い工程や搭載工程が簡略化できるため、このような面からもパッケージの低コスト化を図ることができる。また、高発熱用のパッケージであるPGAでは、基板に溝を形成する等形状の複雑な基板を用い、しかも気密封止という工程数の多い方法で製造するのに対して、本発明では単板である多層回路基板を用い、樹脂封止するだけでパッケージを実現できるため、低コスト化になる。

【0104】(5) パッケージ内にLSIをフェースダウンで搭載しているため放熱特性に優れ、発熱量の大きなLSIチップを搭載できる。

【0105】

【発明の効果】以上説明したとおり、本発明によれば、単にMPUの高速度動作に対応可能なだけでなく、シス

10

20

30

40

50

テム全体での真の高速化に対応可能なパッケージを提供することができる。例えば、接続の信頼性を損なうことなく、1000本以上のピンを設けることができる。また、放熱特性にも優れる。さらに取扱も容易であるために、製造コストも抑えることができる。

【0106】本発明のパッケージ、該パッケージを含んで構成される各種電子デバイスを用いたモジュール、電子機器等は、より小形・高密度化が可能となる。

【図面の簡単な説明】

【図1】パッケージの端子構成の違いによる、ピンピッチとパッケージ外形との関係を示すグラフである。

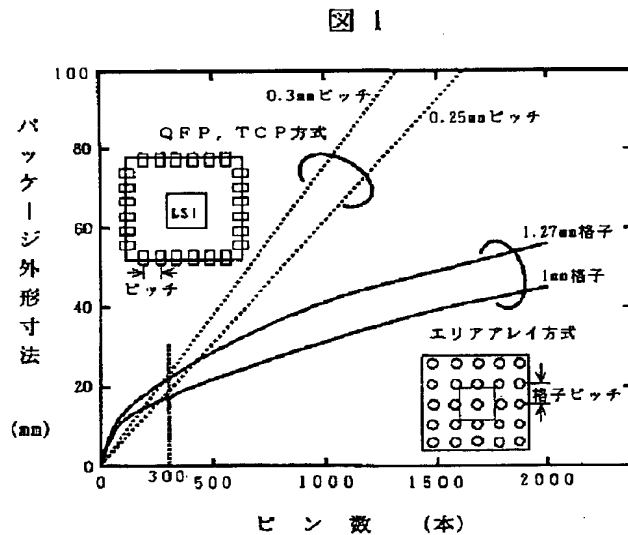
【図2】LSIチップを搭載した実施例1のパッケージの内部の様子を模式的に示した断面図である。

【図3】実施例1のパッケージ基板2の表側面を示す図である。

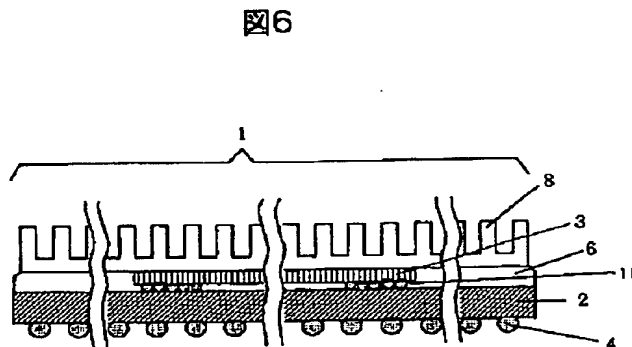
【図4】実施例1のパッケージ基板2の裏側面を示す図である。

【図5】LSIチップを搭載した実施例2のパッケージ

【図1】



【図6】



の内部の様子を模式的に示した断面図である。

【図6】LSIチップを搭載した実施例3のパッケージの内部の様子を模式的に示した断面図である。

【図7】実施例3のパッケージ基板2の表側面を示す図である。

【図8】LSIチップを搭載した実施例4のパッケージの内部の様子を模式的に示した断面図である。

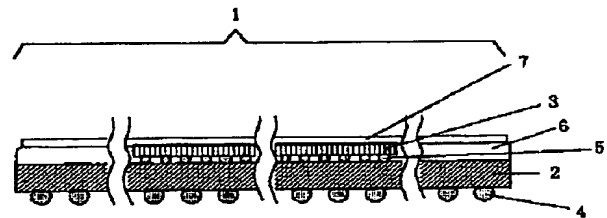
【図9】LSIチップを搭載した実施例2のパッケージを含んで構成されたモジュールの斜視図である。

【符号の説明】

1 : パッケージ、 2 : パッケージ基板、 3 : LSIチップ、 4 : 共晶はんだボール、 5 : 高融点はんだボール、 6 : 封止樹脂、 7 : ヒートスプレッド、 8 : 放熱フィン、 9 : LSI接続用端子、 10 : 実装基板接続用端子、 11 : 金パンプ、 12 : プリント基板、 13 : SRAM、 14 : モジュール、 15 : コネクタ挿入用の端子

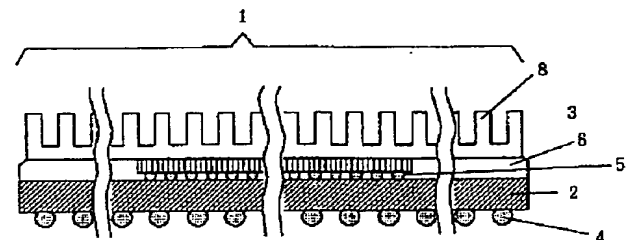
【図2】

図2



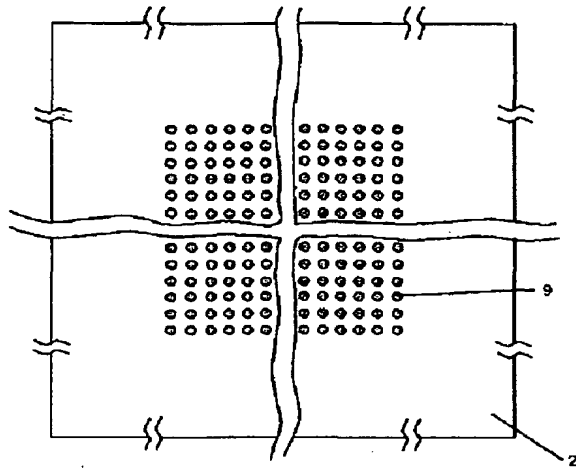
【図5】

図5



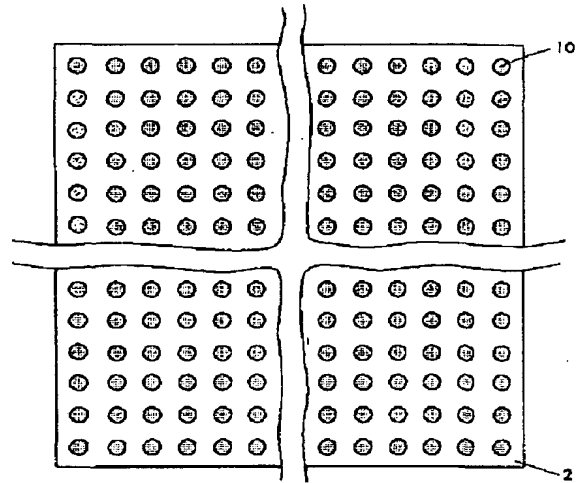
【図3】

図3



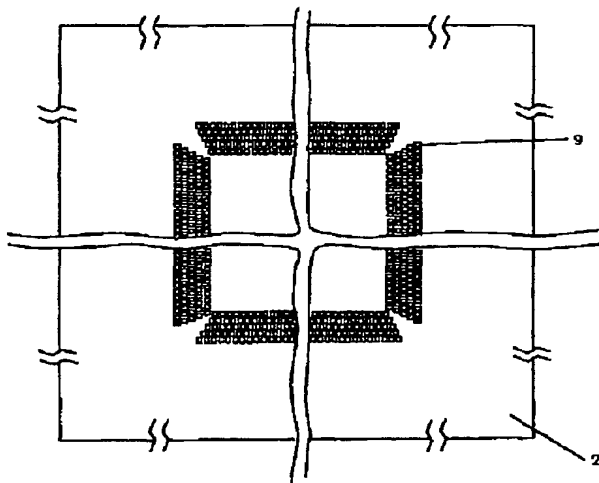
【図4】

図4



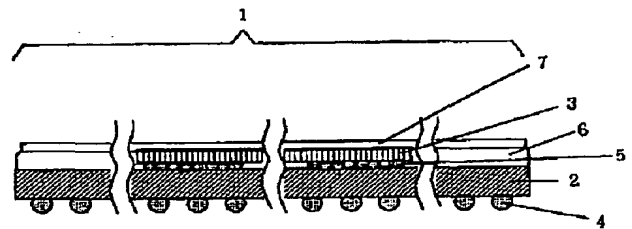
【図7】

図7



【図8】

図8



【図9】

図9

